

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-255084

(43)Date of publication of application : 01.10.1996

(51)Int.Cl.

G06F 9/445
G06F 9/06
G06F 9/06
G06F 12/06
G11C 16/06

(21)Application number : 07-354216

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 29.12.1995

(72)Inventor : NELSON MARVIN D
OLDFIELD BARRY J
PETERSEN MARK D

(30)Priority

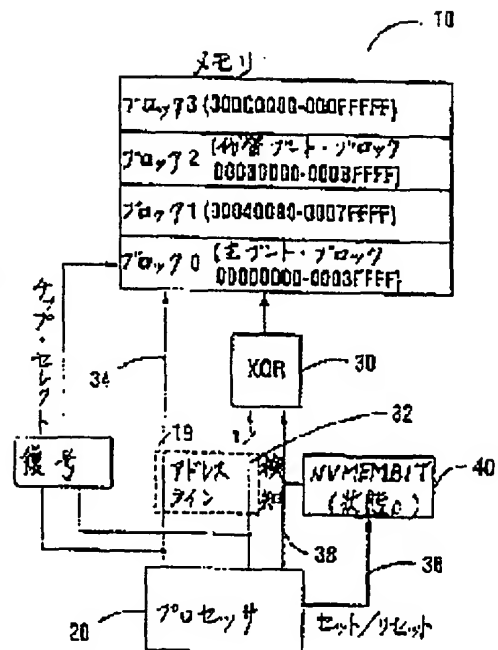
Priority number : 95 375095 Priority date : 18.01.1995 Priority country : US

(54) METHOD FOR UPGRADING EEPROM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and a system for upgrading a flash EEPROM which withstands power source abnormality without the need of an excessive boot ROM.

SOLUTION: A nonvolatile memory bit circuit 40 is utilized so as to be forcedly operate an address space relating to the individually erasable/writable block of the flash EEPROM. The contents of a main boot block firmware are copied to a substituting boot block and the nonvolatile memory bit circuit 40 is set so as to make the substituting boot block appear in the address space of a main boot block from the view point of a microprocessor. Then, the main boot block is erased and new firmware information is written. Then, the nonvolatile memory bit circuit 40 is reset so as to return the main boot block to a main address space and the substituting block is upgraded by the new firmware information.



LEGAL STATUS

[Date of request for examination]

24.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平8-255084

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 9/445			G 0 6 F 9/06	4 2 0 M
	9/06	4 1 0		4 1 0 J
		5 4 0		5 4 0 M
	12/06	5 7 0	12/06	5 7 0 E
G 1 1 C 16/06			G 1 1 C 17/00	3 0 9 G
審査請求 未請求 請求項の数1 FD (全 9 頁)				

(21) 出願番号 特願平7-354216

(22) 出願日 平成7年(1995)12月29日

(31) 優先権主張番号 3 7 5, 0 9 5

(32) 優先日 1995年1月18日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000400

ヒューレット・パッカード・カンパニー
アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72) 発明者 マーヴィン・ディー・ネルソン

アメリカ合衆国アイダホ州ボイジー、サン
フラワー レーン 9055

(72) 発明者 バリー・ジェー・オールドフィールド

アメリカ合衆国アイダホ州ボイジー、ウエ
スト ダニエル コート 11302

(72) 発明者 マーク・ディー・ピーターソン

アメリカ合衆国アイダホ州ボイジー、ウイ
ンターホーク ドライブ 10715

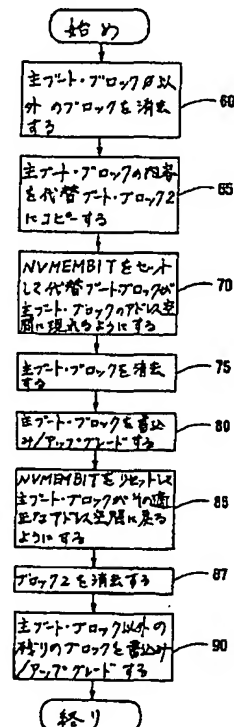
(74) 代理人 弁理士 上野 英夫

(54) 【発明の名称】 EEPROMのアップグレード方法

(57) 【要約】

【課題】 余分なブートROMを必要とせずに、電源異常に耐えるフラッシュEEPROMのアップグレードを可能にする方法及びシステムを提供する。

【解決手段】 本発明の一実施例によれば、不揮発性メモリ・ビット回路が、フラッシュEEPROMの個別に消去/書き込み可能なブロックに関連したアドレス空間を強制操作するために利用される。主ブート・ブロック・ファームウェアの内容は、代替ブート・ブロックにコピーされ、代替ブート・ブロックがマイクロプロセッサの視点から主ブート・ブロックのアドレス空間に現れるように、不揮発性メモリ・ビット回路がセットされる。次に、主ブート・ブロックが消去され、新しいファームウェア情報が書き込まれる。次に、主ブート・ブロックを主アドレス空間に戻すことができるように、不揮発性メモリ・ビット回路がリセットされ、代替ブロックが、その新しいファームウェア情報によってアップグレードされる。



1

【特許請求の範囲】

【請求項1】第1のメモリにおける主アドレス空間に関連した主ブート・ブロックから代替アドレス空間に関連した代替ブート・ブロックにブート・データをコピーするステップと、

前記代替ブート・ブロックがマイクロプロセッサの視点から主アドレス空間に現れ、前記主ブート・ブロックが代替アドレス空間に現れるように、第2の不揮発性メモリをセットするステップと、

新しいブート・データを前記主ブート・ブロックに書き込むステップと、

前記主ブート・ブロックを主アドレス空間に戻し、前記代替ブート・ブロックを代替アドレス空間に戻すように前記第2の不揮発性メモリをリセットするステップと、を備えて成る、前記第1のメモリのアップグレード方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般に、半導体デバイスに関するものであり、とりわけ、一瞬にして電気的に消去・書き込み可能な読み取り専用メモリ（EEPROM）におけるファームウェアのアップグレードに関するものである。

【0002】

【従来の技術】メモリ・デバイス及びマイクロプロセッサは、コンピュータ・テクノロジーにおいて重要な構成要素である。すなわち、電力が最初にコンピュータ・システムに供給される時、マイクロプロセッサは、電力を受けて、これに回答し、不揮発性メモリ・デバイスにおける指定のメモリ・アドレスにおいて予備命令を求めて、実行し、これによって機能的に操作可能になる1つのコンポーネントである。このプロセスは、一般に、「ブート・アップ」・プロセスとして知られている。すなわち、マイクロプロセッサは、電力初期化されると、不揮発性メモリ・デバイスに記憶されている基本的な必須命令（ファームウェア）を読み取り、実行することによって非機能モードから操作可能モードに「ブート・アップ」する。

【0003】電気的に消去・書き込み可能な読み取り専用メモリ（EEPROM）・デバイスは、一般に、マイクロプロセッサをブート・アップするためのファームウェア（コード）の記憶に利用される不揮発性メモリである。フラッシュEEPROMの場合、単一ステップでそのメモリ全体の消去が可能になる。ここ数年の間に、選択的にブロックの消去／書き込みを行うことが可能な能力を備えたフラッシュEEPROMが広く利用可能になり、EEPROMのアドレス指定ブロックを選択的に消去及び／または書き込みできるようになった。

【0004】要求がありしだい、読み取り専用メモリ（ROM）のようなメモリ・チップ全体を物理的に交換

2

しなくても、ファームウェアを消去して、アップグレードすることができるので、フラッシュEEPROMは、コンピュータ・システムにおいてとりわけ有効である。コードをEEPROMにダウンロードすることによってファームウェアのアップグレードができるので、ファームウェアのアップグレードが簡略化され、そのコストが低下する（すなわち、チップ全体の交換が不要になる）だけでなく、チップ交換のためのソケットが不要になるので、EEPROMを具現化した製品の信頼性を高めることにもなる。

【0005】しかし、ファームウェアのアップグレード実施中において、フラッシュEEPROMを消去する間、製品は中断に対して無防備である。すなわち、新たなファームウェアの書き込み（アップグレード）に備えて、ブート・ファームウェアを消去し、その瞬間、電源異常または他の中断事象が生じた場合、アップグレード・プロセスを完了することが不可能になり、該製品は、ほとんど役に立たない状態のまま、すなわち、元のファームウェアもなく、アップグレードされるファームウェアもない状態のまま放置されることになる。ブート・ファームウェアの消去が済むと、システム（マイクロプロセッサ）は、もはや命令にアクセスすることはなく、独力で新たなファームウェアのダウンロードといった他のアクションを実行する。

【0006】市販されている現在の製品は、ファームウェアのアップグレード中において可能性のある電源異常の問題をいくつかある方法の1つで処理している。例えば、追加ブートROMを利用することによって、フラッシュEEPROMのアップグレードに対して製品の準備を整えるのに必要な最小限の組をなすコードを保持することが可能である。しかし、これによって製品の費用及びソフトウェアの複雑性が増すことになる。さらに、大部分のマイクロプロセッサ・アーキテクチャによって課せられる要件のために、EEPROMのファームウェア・アップグレードに加えて、ブートROMの物理的アップグレードも必要になる場合が多い。

【0007】EEPROMのアップグレード中における中断を取り扱う代替方法の1つでは、単純に、こうした中断が生じると、修理のため、製品を工場に送り返さなければならない旨の警告をするだけである。これらの解決策では、所望される多くのことが取り残されたままであるのは明らかである。

【0008】

【発明が解決しようとする課題】本発明は、余分なブートROMを必要とせずに、電源異常に耐えるフラッシュEEPROMのアップグレードを可能にするためのシステム及び方法を提供することを目的とする。

【0009】

【課題を解決するための手段】望ましい実施例における本発明の原理によれば、システム（マイクロプロセッ

3

サ)・ブート・ファームウェアは、フラッシュEEPROMの別個に消去/書き込み可能なブロック内において操作され、不揮発性メモリ・ビット回路が、ブロックに関連したブート・アドレス空間を強制操作して、独立したブートROMを必要とせずに、電源異常に耐えるEEPROMのフラッシュ・アップグレードを可能にするために利用される。望ましい実施例の場合、メモリ・ビット回路は、フリップ・フロップである。

【0010】EEPROMにおけるファームウェア・アップグレード中に、EEPROMの主ブート・ブロック以外のブロックが消去され、代替ブート・ブロックとして指定される。次に、主ブート・ブロック・ファームウェアは、代替ブート・ブロックにコピーされ、代替ブート・ブロックがマイクロプロセッサの視点から主ブート・ブロックのアドレス空間に現れるように、不揮発性メモリ・ビット回路がセットされる。次に、主ブート・ブロックが消去され、新しいファームウェア情報が書き込まれる。次に、主ブート・ブロックを主アドレス空間に戻すことができるように、メモリ・ビット回路がリセットされ、代替ブロックが、その新しいファームウェア情報によってアップグレードされる。

【0011】このシステム及び方法によれば、アップグレード中、EEPROMに主ブート・ファームウェアを保存することができるので、アップグレード中に電源異常が生じた場合、主ブート情報は依然としてEEPROMにおいて利用可能である。このため、電源異常の場合に、通常、主ブート情報を納めることになる独立したブートROMの必要がなくなる。

【0012】本発明の他の目的、利点、及び、能力については、説明の進行につれてさらに明らかにされることになる。

【0013】

【実施例】図1A~Bは、本発明による不揮発性メモリ・ビット回路の状態に基づくブート・ブロック・メモリ・アドレス操作を表したシステム・ブロック図である。図1Aには、主ブート・ブロックからのシステム・ブート・アップのための通常のメモリ・アドレス指定が示され、図1Bには、代替ブート・ブロックからのブート・アップのための相対メモリ・アドレス指定が示されている。全ての図において、同様のコンポーネントは同様の参照番号で識別される。

【0014】図1Aを参照すると、第1のメモリ10は、別個に消去/書き込み可能なブロック0~3を備えた、不揮発性で、瞬時に電氣的に消去・書き込み可能な読み取り専用メモリ(EEPROM)である。各ブロックは、256Kバイトのアドレス可能メモリから構成される。この図におけるメモリ10には、それぞれ、256Kバイトのブロックが4つ含まれているが、本発明の原理に従って、他のサイズのブロックから成るメモリも同様に利用可能であるのは明らかである。一般に、EE

4

PROMには、等サイズのブロックは含まれていない。しかし、ブロックは、通常、2つ以上の等サイズの論理ブロックの体裁を整えることができるような形に組み合わせることが可能である。例えば、ブロック0は、実際にはさらに細分化して、別個に識別可能な、異なるサイズのブロックにすることが可能である。一方、メモリ10は、全体として、総合的により少ないブロックまたはより多いブロックをなすように細分化することが可能である。しかし、本発明の場合、メモリ10の物理的サイズ及び構成に関係なく、必要なのは、少なくとも2つの別個に消去/書き込み可能なブロックを備えていることだけである。

【0015】望ましい実施例の場合、メモリ10は、複数の選択的に消去/書き込み可能なブロックを備えた単一EEPROMデバイスであるが、同様に、メモリ10は、各デバイスが選択的に消去/書き込み可能なブロック備えている場合もあれば、備えていない場合もある、別個にアドレス指定可能なEEPROMのバンクとすることも可能である。独立した各デバイス自体は、解説のメモリ10において別個に消去/書き込み可能なブロックとしての働きをする。同様に、メモリ10は、何らかの形態をとる電源バック・アップによって不揮発性にされたランダム・アクセス・メモリ(RAM)、すなわちNVRAMとすることも等しく可能である。NVRAMが用いられる場合、データ・ブロックの消去ステップは、データの消去/書き込みが行われるメモリに対するデータ書き込みと同じステップで行うことが可能である。

【0016】ブロック0は、マイクロプロセッサ(プロセッサ)・システム20のための主ブート・ブロックであり、主アドレス空間においてアドレス指定することが可能である。主ブート・ブロックの意味するところは、電源投入時すなわち主ブート・ファームウェアを実行するための初期化時に、プロセッサ20が、ブロック0に関連した主アドレス範囲に頼るということである。主ブート・ブロックには、プロセッサをアップグレードの実施に十分な動作状態にするのに必要なファームウェア機能性のサブセットを納めていなければならない。

【0017】ブロック2は、代替ブート・ブロックであり、代替アドレス空間においてアドレス指定することが可能である。本発明の原理に従って、電源異常に耐えるアップグレードを可能にするため、ファームウェアのアップグレード中は、一般に主ブート・ブロックに常駐するブート・ファームウェアがこの代替ブート・ブロックにコピーされるので、ブロック2は代替ブート・ブロックとして識別される。ブロック2には、通常、ブート・ファームウェアは納められておらず、普通は、プロセッサ20の機能にとって必要な他のファームウェアが納められている。

【0018】ブロック2の通常の(非アップ・グレー

ド) 状況と同様に、ブロック1及び3には、プロセッサの機能にとって必要なファームウェアが納められている。この例の場合、アドレス範囲00000000~000FFFFFは、ブロック0~3の記述に用いられることになる。また、この例の場合にも、プロセッサ20は、アドレス0で始まるその主ブート情報を捜し求める。しかし、本発明は、他の記憶場所において初期ブート命令を捜すプロセッサ・アーキテクチャにも簡単に適応させることが可能である。

【0019】論理回路要素XOR30は、2入力排他的ORゲートである。入力の1つは、アドレス・ビット32によって駆動され、もう1つの入力は、不揮発性ビット回路40によって駆動される。XORゲートによって、必要に応じてアドレス・ビットを反転したり、あるいは、反転しなかったりすることが可能になる。反転を必要とする各アドレス・ライン毎に、1つのXORゲートが存在する。この望ましい実施例の場合、最上位アドレス・ビット・ライン32だけがXORゲートを備えている。他のアドレス・ビット・ライン34は、メモリ10のアドレス指定にとって通常のやり方でプロセッサ20とメモリ10の間の通信を行う。

【0020】不揮発性メモリ・ビット回路40（ここではnvmeb i tと呼ばれる）は、セット及び／またはリセットが可能なフリップ・フロップのような単一ビット信号の不揮発性メモリ回路である。この図において、nvmeb i t 40が第1の（論理的0）状態にリセットされる。第1の状態は、論理的0として表されるが、論理的1になるように選択されれば、同様にそうすることも可能である。この状態の場合、nvmeb i t 40によって駆動されるXORゲートの入力は、アドレス・ビット32が反転されないようにセットされる。

【0021】nvmeb i t 40が第1の状態にある間に、プロセッサ20は、通常、メモリにアクセスする。すなわち、ブロック0が、主アドレス空間に関して主ブート・ブロックとして参照され、プロセッサ20が初期化されると、ブート・ファームウェアはそこから実行される。

【0022】プロセッサ20は、36に示すようにnvmeb i t 40のセット及び／またはリセットが可能であり、38に示すようにnvmeb i t 40の状態の検知も可能である。プロセッサ20は、これらの機能が可能であるため、ファームウェアのアップグレード状況を判定し、アップグレードが中断されたか否かを判定することが可能である。すなわち、アップグレード中に、プロセッサは、nvmeb i t 40を適合する状態にセット及び／またはリセットするために必要なコードを実行する。同様に、プロセッサ20は、nvmeb i t 40の状態を検知し、後続のアップグレードをいかに進めるかを、すなわち、先行アップグレード中に、

中断が生じたか否かを判定する。プロセッサ自体は、メモリ10の主ブート・ブロックと代替ブート・ブロックのいずれを参照しようとするのかを決定する。

【0023】次に図1Bを参照すると、nvmeb i t 40は、図示のように第2の（論理的1）状態にあり、メモリ10は、ブロック0ではなく、ブロック2がブートのための主ブート・アドレス空間に関連づけられている。ブロック2自体は、この場合、ブートのために主アドレス00000000~0003FFFFの16進数によってアドレス指定可能であり（プロセッサ20の視点から）、ブロック0は、代替アドレス00080000~000BFFFFの16進数によってアドレス指定可能である。

【0024】ブロックが、実際に互いに物理的に移動するわけではないが、また、各ブロックに関連した真のアドレス空間が、実際に変化するわけではないが、アドレス空間は、プロセッサ20の視点から、ブート命令を実行するための主アドレス空間が、現在、ブロック0ではなく、ブロック2のファームウェアの内容に関連している（現実にはプロセッサ20は、あるブロックを認識したり、あるいは、そのブロックと別のブロックを弁別したりするわけではないが）という概念を表すため、「変化した」ものとして示されている。

【0025】このアドレス「操作」が行われたのは、nvmeb i t 40がその第2の（論理的1）状態にセットされており、XORゲート30がアドレス・ライン32を反転させるためである。要するに、nvmeb i t 40によって、代替ブート・ブロック2がマイクロプロセッサの視点から主アドレス空間に現れ、主ブート・ブロックが代替アドレス空間に現れることになる。ファームウェアのアップグレード・プロセス中、及び、中断事象の場合には、ファームウェア・データは、それ自体、代替ブート・ブロックにおいてプロセッサ20によるブート・アドレス指定可能な状態のままである。

【0026】ファームウェアに、主ブート・ブロックまたは代替ブート・ブロックから実行するための相対アドレス指定を含まなければならないのは明らかである。また、プロセッサ20は、nvmeb i t 40の状態を検知して、中断事象の発生後のブート中にあって、適合するコードを実行するため、主ブート・ブロックではなく、代替ブート・ブロックを調べているところであることを知る。さらに、任意の電源投入時に、プロセッサ20は、各ブロック毎に得られ、記憶されたチェックサムによって、完全かつ有効なファームウェアを備えるのがどのブロックであるかを判定する。従って、任意のアップグレードの進行を検出することが可能である。

【0027】次に図2を参照すると、フロー・チャートによって、ブート・ブロック及びメモリ・アドレス空間を操作して、電源異常に耐えるアップグレードを行うための後続のステップが示されている。まず60におい

7

て、メモリ10における主ブート・ブロック0以外の全てのブロック(図1)が消去される。当該技術において周知のように、アップグレード中は、主ブート・ブロックからプロセッサのメモリにファームウェアをコピーして、実行する必要はないと考えて差し支えない。これは、EEPROMの消去及び書き込み特性のためである。

【0028】次に、65において、主ブート・ブロック0のファームウェアが代替ブロック2にコピーされ、nvmeb i t 40がその第2の(論理的1)状態にセ
10 ャットされる。nvmeb i t 40を第2の状態にセ
ットすると、プロセッサの視点から代替ブート・ブロック2がブート・ブロック0の主アドレス空間に現れる。アドレス空間のこの見かけの操作は、nvmeb i t 40によってXORゲート30の一方の入力を1にセ
ットし、その結果、主アドレス空間へのアクセスに備えて、プロセッサ20から受信する全てのアドレス要求に関する上位アドレスが反転されるようにすることによって行
われる。

【0029】図3は、上位アドレス・ビットを反転し
て、マイクロプロセッサの視点から代替ブート・ブロッ
クが主ブート・ブロックのアドレス空間に現れるように
する方法を示す表である。この場合、ビット番号19が
反転される。従って、プロセッサ20は、95において
示す16進数00000000のアドレスで始まる主ブ
ート・ブロックにアドレス指定しているものと思ってい
るが、XORゲート30によってビット番号19が反転
されるので、結果として、プロセッサ20は100にお
いて示す16進数00080000のアドレスで始まる
代替ブート・ブロックにアクセスすることになる。

【0030】図2に戻ると、70において、nvmeb
i t がセツトされた後、75において、主ブート・ブ
ロック0が消去される。主ブート・ブロックの消去後、
中断事象または電源異常が生じた場合、プロセッサ20
によってブロック2を代替ブート・ブロックとしてアド
レス指定することができなければ、アップグレードを完
了することはできない。しかし、本発明によれば、プロ
セッサ20は、代替ブート・ブロックとしてブロック2
にアクセスすることが可能になる。すなわち、アップグ
レードを完了せずに、電力損失が生じ、プロセッサ20
が再初期化されることになった場合、nvmeb i t
40はその第2の(論理的1)状態にとどまることにな
る。従って、XORゲート30によって上位アドレス・
ビットが反転され(図3参照のこと)、プロセッサ20
は、主ブート・ブロック・アドレス空間ではなく、代替
ブート・ブロック・アドレス空間にアクセスすること
になる。プロセッサ20自体は、実際にその相違が全く分
からずに、代替ブート・ブロックからブートを行う。

【0031】75において、主ブート・ブロック0が消
去されると、80において、引き続き、新しいブート・

8

ファームウェアによってアップグレードされる(焼き込
み及び/または書き込みが施される)。主ブート・ブ
ロックのアップグレードが完了すると、85において、n
vmeb i t 40が最初の(論理的0)状態にリセッ
トされ、主ブート・ブロックがその適正なアドレス空間
に戻るようになる。この段階において電源異常が生じた
場合、nvmeb i t 40はその最初の状態にリセッ
トされているので、新しいブート情報が既にブロック0
に保持されており、プロセッサによってブート・アップ
10 に利用される。

【0032】最後に87において、ブロック2のブート
・ファームウェアが消去され、90において、全てのブ
ロック(主ブート・ブロックを除く)が新しいファーム
ウェア情報によってアップグレードされて、アップグレ
ード・プロセスが完了することになる。

【0033】次に図4A~Jを参照すると、略ブロック
図によって、本発明の電源異常に耐えるファームウェア
・アップグレード時におけるブート・ブロック及びメモ
リ・アドレス操作の個々の段階が示されている。図4A
~Dには、ブロック0が主ブート・ブロックとして示さ
れており、プロセッサ・ブートは、ブロック0から行わ
れる(図1のnvmeb i t 40がその論理的0状態
にセツトされている場合)。図4A~Cには、ファーム
ウェア・アップグレードに備えて主ブート・ブロック以
外の全てのブロックを消去する第1のステップが示され
ている(図2の60も参照のこと)。消去されたブロッ
クは、そのブロックを通して「X」で示されている。

【0034】図4Dには、主ブート・ブロック0の内容
を代替ブート・ブロック2にコピーする次のステップが
示されている(図2の65も参照のこと)。データが書
き込まれた(焼き込まれた)ブロックは、上部コーナの
文字「B」によって示されている。

【0035】図4E~Fには、この時点でプロセッサが
そこからブートすることになるブロックとして、代替ブ
ロック2が示されている(図2の70も参照のこと)。
前述のように、これは、XORゲート30が上位アドレ
ス・ビットを反転させて、プロセッサの視点から代替ブ
ート・ブロックが主アドレス空間に現れることにな
る。図4Eには、そのアップグレードに備えてブロッ
ク0が消去される方法が示されており、図4Fには、ブ
ロック0に新しいブート・ファームウェアによるアップグ
レード(書き込み)が施される方法が示されている(図
2の75及び80も参照のこと)。

【0036】図4G~Jには、プロセッサがそこからブ
ートを行うことになるブロックとして、再びアドレス指
定されるブロック0が示されている。これは、nvme
b i t 40がリセットされて(図2の85参照のこ
と)、主ブート・ブロック0がその適正なアドレス空間
に現れるためである。ブロック2が図4Dのステップに

よる元のブート・ファームウェアのコピーを依然として保持しているので、図4Gには、ブロック2の消去方法が示されている(図2の87参照のこと)。最後に、図H-Jには、ブロック1、2、及び、3に残りのファームウェアを書き込んで、アップグレード・プロセスを完了する方法が示されている(図2の90参照のこと)。

【0037】下記の擬似コードは、電源異常に耐えるファームウェア・アップグレードに関する前述のシステム及びプロセスの望ましい実施例を示すものである。

【0038】Procedure EEPROM_Burning_Upgrade_Firmw 10

```
Set NVRAM_ROM_State=In Upgrade
If Hardware_Boot_Pointer=Boot Block (Primary)
  Erase(Block 1)
  Erase(Block 2)
  Erase(Block 3)
  Burn(Block 2 with a copy of the primary Boot Image (address 00000000 -
0003FFFF))
  Checksum_Check(Block 2)
  Set Hardware_Boot_Pointer=Alternate Boot Block
end;
Erase(Block 0)
Burn(Block 0 with data from the new image (address 0000- 0003FFFF))
Checksum_Check(Block 0) -- if failure, reset and reattempt upgrade
Reset Hardware_Boot_Pointer=Boot Block (Primary)
Burn(Block 1 with data from the new image (address 00040000 - 0007FFFF
))
Checksum_Check(Block 1) -- if failure, reset and reattempt upgrade
Erase(Block 2)
Burn(Block 2 with data from the new image (address 00080000 - 000BFFFF
))
Checksum_Check(Block 2) -- if failure, reset and reattempt upgrade
Burn(Block 3 with data from the new image (address 000C0000 - 000FFFFF
))
Checksum_Check(Block 3) -- if failure, reset and reattempt upgrade
Set NVRAM_ROM_State=Not in Upgrade
end;
```

【0039】以上の解説は、独立したROMを必要とせずに、EEPROMのために電源異常に耐えるフラッシュ・アップグレードを可能にするシステム及び方法に関する望ましい実施例である。当業者には明らかなよう40に、本発明は、当該技術に既存の各種ハードウェア及びソフトウェア・ツールの任意のものを利用して簡単に実施される。本発明の解説は特定の実施例に関連して行ったが、本発明の真の精神及び範囲を逸脱することなく、他の代替実施例及び実施または修正方法を用いることができるのは明白である。

【0040】以上、本発明の実施例について詳述したが、以下、本発明の各実施例毎に列挙する。

【例1】マイクロプロセッサ(20)がアドレス指定できるシステム・ブート・データ及び別個に消去可能/書き50

are()

/* 注：分かりやすくするため、この擬似コードは、プロセッサの視点からアドレス・マップにおける変化を呼び出すことはなく、引き続き、その物理的地址位置のブロックを参照する。このコードは、電源投入シーケンスまたは通常の実行システムから呼び出すことが可能である。それにもかかわらず、それは、システム状態を検出し、正しいブロックの消去/書き込みを行う。*

/

込み可能なブロックを有する第1のメモリ・デバイス(10)に対して電源異常に耐えるメモリ・アップグレードを可能にするための方法において、(a)第1のメモリにおける主アドレス空間に関連した主ブート・ブロックから代替アドレス空間に関連した代替ブート・ブロックにブート・データをコピーするステップと、(b)代替ブート・ブロックがマイクロプロセッサの視点から主アドレス空間に現れ、主ブート・ブロックが代替アドレス空間に現れるように、第2の不揮発性メモリ(40)をセットし、これによって、中断事象が生じた場合、代替ブート・ブロックにおいて、データがマイクロプロセッサによるブート・アドレス指定が可能な状態に保たれるようにするステップと、(c)新しいブート・データを主ブート・ブロックに書き込むステップと、

(d) 主ブート・ブロックを主アドレス空間に戻し、代替ブート・ブロックを代替アドレス空間に戻すように第2のメモリをリセットするステップと、を備えて成る方法。

【例2】第1のメモリ・デバイスが(i)電気的にブロックを消去・書き込み可能な読み取り専用メモリ(EEPROM)・デバイス、(ii)複数のEEPROM、及び、(iii)不揮発性ランダム・アクセス・メモリ(RAM)から選択されることを特徴とする、例1に記載の方法。

【例3】ブート・データ及び新ブート・データに、マイクロプロセッサにブートするためのファームウェアの取得に必要なインテリジェンスが含まれることと、インテリジェンスに、主ブート・ブロック及び代替ブート・ブロックから実行するための相対アドレス指定が含まれることを特徴とする、例1に記載の方法。

【例4】第2の不揮発性メモリの状態が、(i)マイクロプロセッサ(20)、第1のメモリ・デバイス(10)、及び、第2の不揮発性メモリ(40)間において通信を行い、第1のメモリ・デバイスのブロックのアドレス指定を操作するため、少なくとも1つのアドレスを反転する論理回路要素(30)と、(ii)アップグレードが中断されたか否かを表すアップグレード状況を判定するためのプロセッサによって検知されることを特徴とする、例1に記載の方法。

【例5】(a)それぞれ、第1と第2のアドレス空間に関連した、第1と第2の別個に消去可能/書き込み可能なブロックを備える第1のメモリ・バンク(10)と、

(b)第1のブロックから第2のブロックに第1のデータをコピーするための手段と、(c)第2のブロックがマイクロプロセッサ(20)の視点から第1のアドレス空間に現れ、第1のブロックが第2のアドレス空間に現れるように、第2の不揮発性メモリ(40)をセットし、これによって、中断事象が生じた場合、第2のブロックにおいて、データがマイクロプロセッサによるブート・アドレス指定が可能な状態に保たれるようにするための手段と、(d)第2のデータをブロックに選択的に書き込むための手段と、(e)第1のブロックを第1のアドレス空間に戻し、第2のブロックを第2のアドレス空間に戻すように第2のメモリをリセットするための手段と、を備えて成る、電源異常に耐えるメモリ・アップグレードを可能にするためのシステム。

【例6】第1のメモリ・バンクが(i)電気的にブロックを消去・書き込み可能な読み取り専用メモリ(EEPROM)・デバイス、(ii)複数のEEPROM、及び、(iii)不揮発性ランダム・アクセス・メモリ(RAM)から選択されることを特徴とする、例5に記載のシステム。

【例7】第1のデータ及び第2のデータに、マイクロプロセッサにブートするためのファームウェアの取得に必要

なインテリジェンスが含まれることと、インテリジェンスに、第1及び第2のブロックから実行するための相対アドレス指定が含まれることを特徴とする、例5に記載のシステム。

【例8】さらに、ブロックを選択的に消去するための手段が含まれていることを特徴とする、例5に記載のシステム。

【例9】さらに、マイクロプロセッサ(20)、第1のメモリ・バンク(10)、及び、第2の不揮発性メモリ

(40)間において通信を行い、第2の不揮発性メモリ(40)の状態を検知して、第1のメモリ・デバイスのブロックのアドレス指定を操作するため、少なくとも1つのアドレスを反転する論理回路要素(30)が含まれていることを特徴とする、例5に記載のシステム。

【例10】さらに、第2の不揮発性メモリ・デバイスの状態を検知して、アップグレードが中断されたか否かを表すアップグレード状況を判定するための手段(20)が含まれていることを特徴とする、例5に記載のシステム。

【0041】

【発明の効果】以上説明したように、本発明を用いることにより、余分なブートROMを必要とせずに、電源異常に耐えるフラッシュEEPROMのアップグレードを可能にすることができる。

【図面の簡単な説明】

【図1A】不揮発性メモリ・ビット回路からの第1の状態の信号に基づく、主ブート・ブロックからのシステム・ブートのためのメモリ・アドレス指定を示すブロック図である。

【図1B】不揮発性メモリ・ビット回路からの第2の状態の信号に基づく、代替ブート・ブロックからのシステム・ブートのためのメモリ・アドレス指定を示すブロック図である。

【図2】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス空間操作のための後続ステップを表したフロー・チャートである。

【図3】上位ビットを反転して、主ブート・ブロックのアドレス空間に代替ブート・ブロックが現れるようにする方法を示す図である。

【図4A】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス操作の個々の段階を表したブロック図である。

【図4B】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス操作の個々の段階を表したブロック図である。

【図4C】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス操作の個々の段階を表したブロック図である。

【図4D】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス操作の個々の段階

13

階を表したブロック図である。

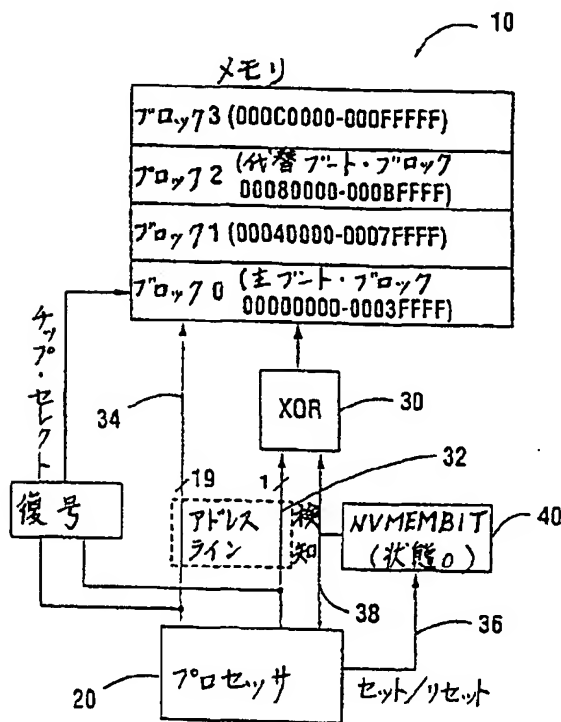
【図4 E】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス操作の個々の段階を表したブロック図である。

【図4 F】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス操作の個々の段階を表したブロック図である。

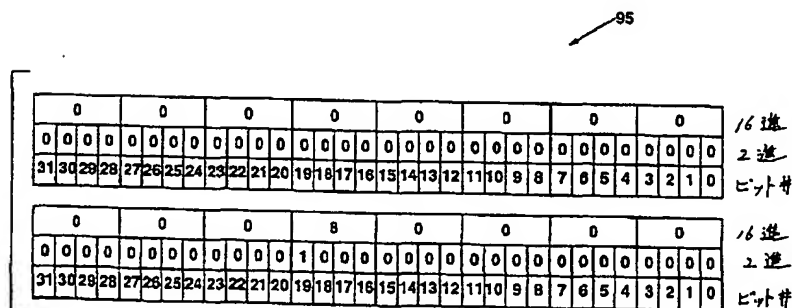
【図4 G】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス操作の個々の段階を表したブロック図である。

【図4 H】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス操作の個々の段階を表したブロック図である。

【図1 A】



【図3】



14

階を表したブロック図である。

【図4 I】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス操作の個々の段階を表したブロック図である。

【図4 J】ファームウェア・アップグレード時におけるブート・ブロック及びメモリ・アドレス操作の個々の段階を表したブロック図である。

【符号の説明】

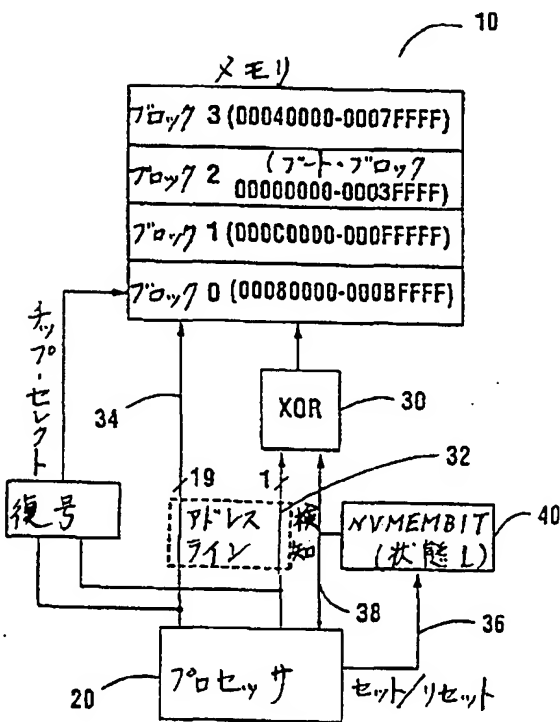
10 : 第1のメモリ

20 : マイクロプロセッサ・システム

30 : XORゲート

40 : 不揮発性メモリ・ビット回路

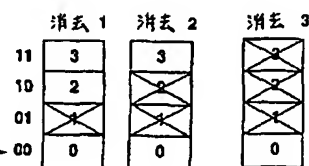
【図1 B】



【図4 A】

【図4 B】

【図4 C】



【図2】

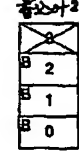
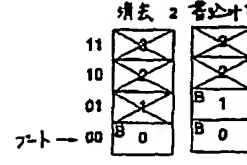
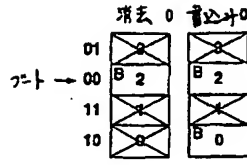
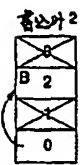
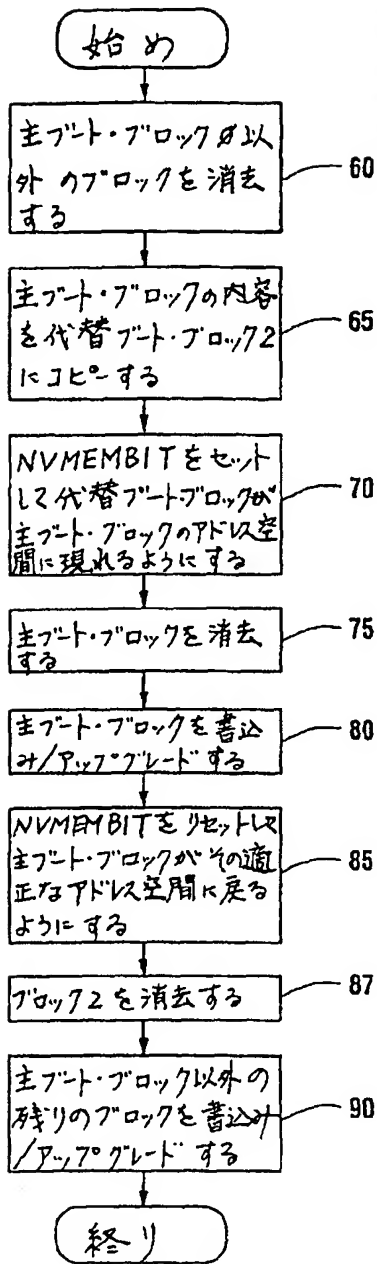
【図4D】

【図4E】

【図4F】

【図4G】

【図4H】 【図4I】



【図4J】

